

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-159961

(43)Date of publication of application : 02.07.1988

(51)Int.Cl.

G06F 13/28

G06F 15/64

(21)Application number : 61-309414

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.12.1986

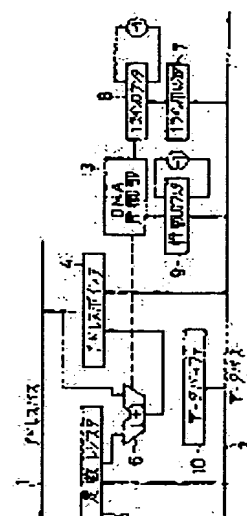
(72)Inventor : MORI JUNJI

## (54) TRANSFER CONTROLLER FOR DIRECT MEMORY ACCESS

## (57)Abstract:

**PURPOSE:** To realize the batch transfer of 2-dimensional area data in the form of one area data by adding a constant to the contents of an address pointer for each end of transfer of data equivalent to one line and therefore eliminating the need for a resetting task of a transfer parameter.

**CONSTITUTION:** A transfer parameter is set just in a single time at first by a host CPU and a direct memory access DMA control part 3 is started. Then the transfer of data is started from the head address of the 2-dimensional area data and an address pointer 4 is increased one by one for designation of addresses until the transfer of data equivalent to one line is ended. Then a constant K (equivalent to the number of words set between the end of a line and the start of the next line) is added to the contents of the pointer 4 for each end of transfer of data equivalent to one line. The DMA transfer is ended with the end of the transfer of data to the final line. Thus the 2-dimensional area data can be transferred by an amount equal to one area with a transfer parameter set just in a single time.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

昭63-159961

⑤ Int. Cl.<sup>4</sup>

G 06 F 13/28

15/64

識別記号

3 1 0

4 5 0

庁内整理番号

Y-7737-5B

F-7737-5B

8419-5B

④ 公開 昭和63年(1988)7月2日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 ダイレクトメモリアクセス転送制御装置

⑭ 特 願 昭61-309414

⑮ 出 願 昭61(1986)12月24日

⑯ 発 明 者 森 順 治 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑰ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑱ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

## 明 細 書

## 1. 発明の名称

ダイレクトメモリアクセス転送制御装置

## 2. 特許請求の範囲

(1) DMA 転送を行うための転送アドレスを指定するためのアドレスポインタと、このアドレスポインタの内容と1または所定の定数との演算を行うための加算器と、上記所定の定数がデータバスから与えられ、これを格納する定数レジスタと、DMA 転送の対象となる二次元領域データの1ライン幅を表わす1ライン幅データがデータバスから与えられ、これを格納する1ライン幅レジスタと、上記二次元領域データの実際に転送された横方向の語数および縦方向の行数をそれぞれカウントする1ラインカウンタおよび行数カウンタと、上記各カウンタのカウント内容に応じて前記加算器の動作を制御すると共に1ライン転送終了毎に1ラインカウンタに1ライン幅データをロードさせ、前記二次元領域データを一領域データとして一括転送するように制御するDMA制御部とを具備して

なることを特徴とするダイレクトメモリアクセス転送制御装置。

(2) 前記加算器は加減算可能であり、転送アドレスの走査方向に応じて加算または減算を行うように制御されることを特徴とする前記特許請求の範囲第1項記載のダイレクトメモリアクセス転送制御装置。

(3) 前記アドレスポインタにより二次元領域データの複数領域を順次指定させるための各領域のアドレスデータがデータバスから与えられ、これを格納するアドレスポインタキューと、上記二次元領域データの1領域の行数を表わす行数データがデータバスから与えられ、これを格納する行数レジスタとをさらに具備し、前記DMA制御部により1領域転送終了毎に次の領域のアドレスデータをアドレスポインタにロードさせると共に行数データを前記行数カウンタにロードさせ、前記複数領域を連続転送する機能を付加してなることを特徴とする前記特許請求の範囲第1項または第2項記載のダイレクトメモリアクセス転送制御装置。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## (産業上の利用分野)

本発明は、画像処理システムなどのコンピュータシステムに使用されるダイレクトメモリアクセス(DMA)転送制御装置に係り、特に画像データなどのような二次元領域データを転送する場合に使用されるDMA転送制御装置に関する。

## (従来の技術)

従来のDMA転送制御装置は、ホストCPU(中央処理装置)により指定されたメモリアドレス(入出力ポートアドレスも可)からメモリアドレス(入出力ポートアドレスも可)へ所定の語数のデータを連続転送するものである。このために、第3図に示すように、データの転送元アドレス(ソースアドレス)や転送先アドレス(ディスティネーションアドレス)を指定するためのアドレスデータをアドレス31に送り出すアドレスポイント32、転送語数カウンタ33、DMA制御部34、データバッファ(一時格納レジスタ)35

だけアドレスを加算した転送パラメータを再設定する必要がある。また、従来のDMA転送制御装置は、複数の二次元領域データを鎖状につなげて転送する方式のものがあるが、各領域毎の転送の都度、次の転送パラメータを再設定する必要がある。

このように、複数の領域の転送あるいは二次元領域の転送に際して、転送の途中で転送パラメータの再設定を1領域転送の都度あるいは1ライン転送の都度必要とすることは、ホストCPU(通常はマイクロプロセッサ)の負担が大きくなり、コンピュータシステムの処理速度が制約を受けるといふ問題があった。

## (発明が解決しようとする問題点)

本発明は、上記したようにDMA転送の途中でホストCPUによる転送パラメータの再設定を必要とするという問題点を解決すべくなされたもので、上記転送パラメータの再設定を必要としないで、二次元領域データを一領域データとして一括転送することができ、さらに二次元領域データの複数領域分を連続転送する機能を容易に付加し得る

などを有している。上記データバッファ35は、メモリ間転送を行なう場合に、データバス36上のリードデータを一時格納し、ライト時に記憶データをデータバス36上に送り出すものである。前記転送語数カウンタ33は、転送語数をカウントし、転送終了を検出してDMA制御部34へ知らせるものである。

ところで、従来のDMA転送制御装置では、アドレスポイント32はインクリメント37により1ずつカウントアップされるようになっているので、連続したアドレス空間をシーケンシャルにアクセスすることしかできない。このため、二次元領域のデータを一領域として転送する場合、たとえば第4図に示すように画面中の矩形領域(ウィンドウなど)の画像データを転送したい場合には、この転送領域を一次元のリニアアドレスに展開すると各ラインが分かれてしまう。そこで、1ラインずつの転送の都度、次の転送のパラメータを再設定する必要がある。即ち、1ラインの転送が終了したとき、画面幅mwと転送領域幅wとの差(mw-w)

ダイレクトメモリアクセス転送制御装置を提供することを目的とする。

## 〔発明の構成〕

## (問題点を解決するための手段)

本発明のDMA転送制御装置は、DMA転送を行うための転送アドレスを指定するためのアドレスポイントと、このアドレスポイントの内容と1または所定の定数との演算を行うための加算器と、上記所定の定数がデータバスから与えられ、これを格納する定数レジスタと、DMA転送の対象となる二次元領域データの1ライン幅を表わす1ライン幅データがデータバスから与えられ、これを格納する1ライン幅レジスタと、上記二次元領域データの実際に転送された横方向の語数および縦方向の行数をそれぞれカウントする1ラインカウンタおよび行数カウンタと、上記各カウンタのカウント内容に応じて前記加算器の動作を制御すると共に1ライン転送終了毎に1ラインカウンタに1ライン幅データをロードさせ、前記二次元領域データを一領域データとして一括転送するように制

御する DMA 制御部とを具備することを特徴とする。

(作用)

ホスト CPU により転送パラメータの設定がなされたのち、二次元領域データの先頭アドレスのデータからデータ転送が開始し、1ラインの転送終了まではアドレスポインタが1つつインクリメント(またはデクリメント)されてアドレス指定が行われる。1ラインづつの転送終了毎にアドレスポインタの内容に定数(1ラインの終りから次のラインの始まりまでの語数に相当する語数)が加算(または減算)され、最終行の転送終了によって DMA 転送が終了する。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図に示す DMA 転送制御装置は集積回路チップ上に形成されており、1はアドレスバス、2はデータバス、3はDMA制御部であって図示しないホストCPUとの間にDMA要求信号線、バス権要求信号線、バスサイクル制御信号線(いずれも図示

に連する(カウント出力が0になる)まではカウント毎に前記加算器6に1を加算するように制御し、上記1ライン幅データに連すると上記加算器6に定数データKを加算するように制御し、それと共に前記1ライン幅データを1ラインカウンタ8に再びロードして次の1ラインをカウントする準備をし、行数カウンタ9をデクリメントし、行数カウンタ9のカウント回数が行数データに達する(カウント出が0になる)と転送終了と判定して転送終了信号を生成する機能を有している。

10はデータバッファである。

なお、前記アドレスポインタ4と定数レジスタ5とはそれぞれ複数個あり、ソース用とディステイネーション用とのチャンネル区分を有する。

次に、上記 DMA 転送制御装置の動作を説明する。最初にホスト CPU により転送パラメータの設定が一回だけ行われる。即ち、転送アドレスの初期値データ、定数データK、1ライン幅データ、行数データがそれぞれ設定される。この後、DMA 制御部3が起動されて DMA 転送制御が行われる。即ち、

せず)が接続されており、転送データのリード/ライトを制御するものである。4はデータバス2から与えられる転送アドレスの初期値データを格納し、後述するように制御されて生成される転送アドレスデータを出力バッファを介してアドレス1に送り出すアドレスポインタ、5はデータバス1から与えられる定数データKを格納するための定数レジスタ、6はDMA制御部3の制御によりアドレスポインタ4の内容に1または定数レジスタ5の内容を加算するための加算器(全加算器)である。7は二次元領域データの横の長さを表わす1ライン幅データ(データバス2から与えられる)格納するための1ライン幅レジスタ、8は二次元領域データの横方向の実際の転送語数をカウントする1ラインカウンタ、9は上記二次元領域データの縦方向の転送行数を表わす行数データ(データバス2から与えられる)を格納し、実際の転送行数をカウントする行数カウンタである。前記 DMA 制御部3は、上記1ラインカウンタ8のカウント(デクリメント)の回数が1ライン幅データ

二次元領域データの先頭アドレスのデータからデータ転送が開始し、1ラインの転送終了まではアドレスポインタ4が1つつインクリメントされてアドレス指定が行われる。そして、1ラインづつの転送終了毎にアドレスポインタ4の内容にK(1ラインの終りから次のラインの始まりまでの語数に相当する定数)が加算され、最終行の転送終了によって DMA 転送が終了する。

上述したように上記実施例によれば、二次元領域データの一領域分が転送パラメータを一回設定するだけで可能になり、二次元領域データをリニアアドレスデータに変換したり、その逆にリニアアドレスデータを二次元領域データに展開することも可能になる。

なお、加算器6を加減算器として負の数も扱えるようにすれば、ソースアドレス領域とディステイネーション領域とが一部重なった場合でも、各領域のデータ転送のためのアドレス走査方向を適切に選択することが可能になるので正しく転送を行うことができる。

次に、他の実施例として、一定領域の二次元領域データの複数領域分を一回の転送パラメータの設定だけで連続転送したい場合、第2図に示すようにアドレスポインタ4をキュー構造とし、行数カウンタ9に1領域転送終了毎に行数データを与えるための行数レジスタ21を行数カウンタ9とデータバス2との間に設けておき、DMA制御部20の機能を前述した機能の一部を変更して拡張したものとする。即ち、アドレスポインタ4とデータバス2との間にアドレスポインタキュー22を設けておき、転送パラメータの設定に際して各転送領域の転送開始ソースアドレスと転送開始アドレスティネーションアドレスとを収納しておき、また行数レジスタ21に1転送領域の転送行数を表わす行数データを収納しておく。なお、第2図において、第1図中と同一部分には同一符号を付してその説明は省略する。

上記DMA転送制御装置に転送パラメータを設定してから起動させると、1領域のDMA転送動作は第1図を参照して前述したと同様に行われる。1

能になる。この場合、フォントのデータは領域の大きさが一定であるので、領域の大きさ(縦、横の長さ)は一番最初に設定するだけでよい。

#### [発明の効果]

上述したように本発明のDMA転送制御装置によれば、一回のパラメータ設定により二次元領域データを一領域データとして一括転送することができるので、1ライン転送毎にホストCPUがパラメータ設定を行う必要がなくなり、パラメータ設定回数が大幅に減り、CPUの負担が少なくなり、コンピュータシステムの処理速度が向上するようになる。したがって、画像処理システムに応用した場合、ウィンドウの移動、画像データのコピーなどを高速に行うことができる。また、二次元領域データの複数領域分を連続転送するための機能を容易に付加することができ、この機能はたとえばビットマップ表示用のフォントデータのストリング転送に使用して大変有効である。

#### 4. 図面の簡単な説明

第1図は本発明のDMA転送制御装置の一実施

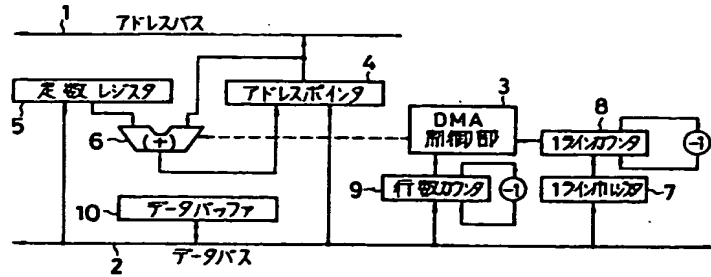
例領域転送が終了する毎にアドレスポインタキュー22から次の転送領域の開始ソースアドレスと開始アドレスティネーションアドレスとが転送領域順にアドレスポインタ4に読み込まれ、行数レジスタ21の行数データが行数カウンタ9にロードされる。このような動作はアドレスポインタキュー22のデータがなくなるまで繰り返され、結局、全ての転送領域が連続的に転送されて転送終了となる。

上述したような第2図の実施例によれば、たとえばビットマップ表示のためのフォントのストリング転送に使用して大変有効である。即ち、あるストリングを画像メモリに書き込む場合、たとえば“DMA”と書き込む際、フォントを格納しているアドレスの先頭アドレスをソース用アドレスポインタキューに並べて収納しておき、書き込むべきアドレスティネーションアドレスをアドレスティネーション用アドレスポインタキューに収納してからDMA転送制御装置を起動させれば、以後にホストCPUに関係なくストリング転送を行うことが可

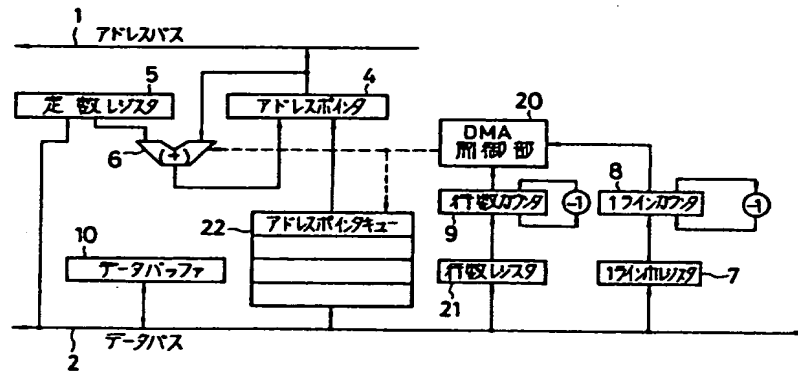
例を示すブロック図、第2図は同じく他の実施例を示すブロック図、第3図は従来のDMA転送制御装置を示すブロック図、第4図は第3図の装置により二次元領域データをリニアアドレスデータに展開する様子を説明するために示す図である。

1…アドレスバス、2…データバス、3、20…DMA制御部、4…アドレスポインタ、5…定数レジスタ、6…加算器、7…1ライン幅レジスタ、8…1ラインカウンタ、9…行数カウンタ、21…行数レジスタ、22…アドレスポインタキュー。

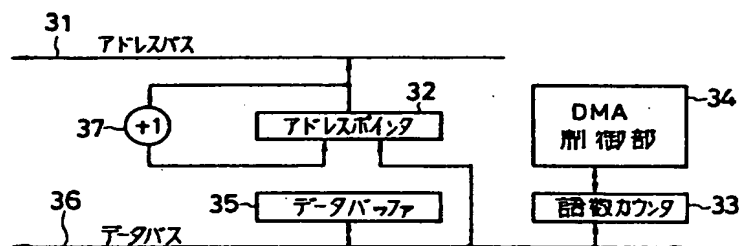
出願人代理人 弁理士 鈴江 武彦



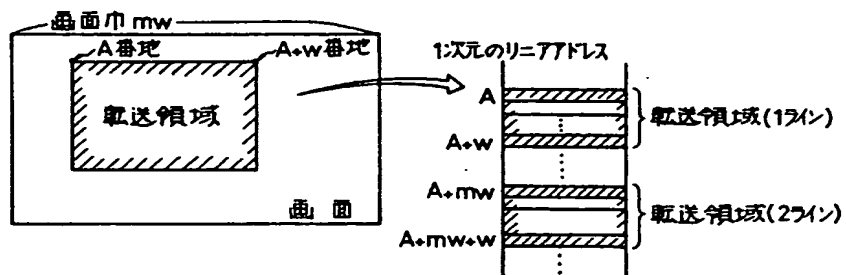
第 1 圖



**第 2 圖**



第 3 圖



第 4 図